

ПРИМЉЕНО: 17-04-2025			
Орг. јед.	Број	Прилог	Бредност
	272/12-1		

СЕНАТУ УНИВЕРЗИТЕТА У БЕОГРАДУ

Предмет: Извештај Стручне комисије о кандидату за доделу звања професор емеритус, др Милу Томашевићу, редовном професору у пензији Електротехничког факултета Универзитета у Београду

На основу члана 43 тачка 39 Статута Универзитета у Београду и члана 6 Правилника о условима и поступку додељивања звања и правима професора емеритуса, Сенат Универзитета у Београду на својој седници одржаној 21. марта 2025. године одлуком бр. 612-3927/5-24 именовao нас је за чланове Стручне комисије за подношење извештаја о кандидату за доделу звања професор емеритус др Милу Томашевићу, редовном професору у пензији Електротехничког факултета Универзитета у Београду. У том својству подносимо следећи

ИЗВЕШТАЈ

I. БИОГРАФСКИ ПОДАЦИ

Др Мило Томашевић је рођен 18.05.1957. године у Никшићу, Црна Гора. Основну школу и гимназију завршио је у Никшићу као носилац дипломе "Луча", која представља еквивалент Вукове дипломе. Током школовања освајао је прва места на градским, републичким и савезним (СФРЈ) такмичењима из математике, историје и географије. На Електротехнички факултет у Београду уписао се 1975. године и дипломирао 1980. године као један од најбољих студената на Смеру за електронику. Магистарски рад одбранио је 1984. године, а докторску дисертацију из области рачунарске технике и информатике *"Нови хардверски протокол за кохеренцију кеш меморија у мултипроцесорским системима са заједничком меморијом"* одбранио је 1992. године, такође на Електротехничком факултету у Београду. Након дипломирања деценију и по је радио у Институту "Михајло Пупин" прошавши сва звања од млађег развојног сарадника до саветника. Хонорарни доцент Електротехничког факултета Универзитета у Београду је постао 1994. године, да би 1995. године постао доцент са пуним радним временом на Катедри за рачунарску технику и информатику Електротехничког факултета у Београду. У звање ванредног професора изабран је 2000. године, а у звање редовног професора 2015. године. Након стицања услова за пензију 2022. године продужен му је радни однос на две године, а пензионисан је 1.10.2024. године. Тренутно је ангажован на мастер и докторским студијама на Електротехничком факултету. У оквиру научне специјализације боравио је као гостујући истраживач 1990.-91. године на универзитету *Purdue*, West Lafayette, САД, у то време једном од најпрестижнијих у области електротехничких наука.

Установио је или реформисао десетак предмета из програмирања, алгоритама и структура података и мултипроцесорских система на основним, мастер и докторским студијама на Електротехничком факултету. Аутор је уџбеника из алгоритама и структура података који се користи и на неким другим факултетима и земљама региона. Био је ментор већег броја дипломских, мастер и докторских радова и допринео формирању научног подматка на Електротехничком факултету у Београду. У периоду

од преко две деценије дао је велики допринос развоју наставе рачунарства у региону јер је предавао и на више сродних факултета у региону (универзитети у Подгорици, Бањалуци, Источно Сарајеву, Војно-техничка академија). Објавио је око 140 радова у међународним и домаћим часописима и на конференцијама, а за неке од њих је добио награде. У часописима са SCI листе објавио је 23 рада (2 рада у часописима категорије M21a, 3 рада у часописима категорије M21, 7 радова у часописима категорије M22, 11 радова у часописима категорије M23). По бази *Scopus* има *h*-индекс 9 и 392 цитата, а по бази *Google Scholar*-у има *h*-индекс 16 и око 1500 цитата. Био је учесник више десетина домаћих и међународних пројеката и студија који су као резултат имали и иновативне реализације хардверско-софтверских производа. Био је рецензент за више реномираних међународних часописа, као и члан програмских одбора домаћих и међународних конференција и часописа. Одржао је, са коауторима, више предавања по позиву код нас и у иностранству (САД, Немачка, Италија, Сингапур, Јужна Кореја, Пољска, Бугарска) и у разним компанијама (*Encore*, *NCR*, ...), на универзитетима и престижним међународним конференцијама из архитектуре рачунара (*International Symposium on Computer Architecture*, *High Performance Computer Architecture*, *High Performance Conference*). Коаутор је две едитоване књиге на енглеском језику у издању *IEEE Computer Society Press* које су имале значајну продају и цитираност у претходном периоду и биле коришћене у настави на постдипломским студијама на страним факултетима. Био је рецензент радова у престижним међународним часописима *IEEE Transactions on Computers*, *IEEE Proceedings*, *IEEE Micro*, *IEEE Concurrency*, *Software: Practice and Experience*, итд, као и на међународним конференцијама *ICPP*, *HICSS*, *COMPSAC*, итд. Он је дописни члан Академије инжењерских наука Србије. Члан је Председништва *ЕТРАН*-а, најстаријег и најпрестижнијег професионалног удружења Србије у области електротехничког инжењерства и комплементарних области. Члан је Управног одбора Друштва за телекомуникације, Скупштине Института "Михајло Пупин" и програмских одбора за више регионалних конференција. Носилац је награде "Капетан Миша Анастасијевић" за научно-стручни допринос развоју рачунарске технике и информатике у Србији. На Електротехничком факултету Универзитета у Београду обављао је функције шефа Катедре за РТИ, продекана за сарадњу са привредом, а у периоду од 2017. до 2021. године био је декан Факултета. На Универзитету у Београду је био ангажован у разним телима (Сенат, Веће групације, Веће техничко-технолошких наука, Скупштина *КОНУС*-а). Главне области истраживачког интересовања су архитектура и организација рачунара, паралелни системи, алгоритми и структуре података, криптографија, итд. Ожењен је и отац двоје деце.

II. НАУЧНО-ИСТРАЖИВАЧКИ РЕЗУЛТАТИ

M10 – Монографије, монографске студије, тематски зборници, лексикографске и картографске публикације међународног значаја

M14 Рад у тематском зборнику међународног значаја

1. Tomašević M., Milutinović V., "Hardware Solutions for Cache Coherence Problem in Shared-Memory Multiprocessors in Cache Coherence Problem" in *Shared-Memory*

Multiprocessors: Hardware Solutions, IEEE Computer Society Press, Los Alamitos, CA, USA, July 1993.

2. Protić, J., Tomašević M., Milutinović V., "An Overview of Distributed Shared" Memory in *Distributed Shared Memory: Concepts and Systems*, IEEE Computer Society Press, Los Alamitos, CA, USA, July 1997.
3. Milutinović, V., Tomašević, M., Protić, J., Savić, S., Jovanović, M., and Grujić, A., "A Reflective Memory System for Personal Computers" in *Surviving the Design of Microprocessor and Multimicroprocessor Systems – Lessons Learned*, John Wiley & Sons, 2000.

M17 Уређивање тематског зборника, лексикографске и картографске публикације водећег међународног значаја

1. Tomašević M., Milutinović V., *Cache Coherence Problem in Shared-Memory Multiprocessors: Hardware Solutions*, IEEE Computer Society Press, Los Alamitos, CA, USA, July 1993.
2. Protić, J., Tomašević M., Milutinović V., *Distributed Shared Memory: Concepts and Systems*, IEEE Computer Society Press, Los Alamitos, CA, USA, July 1997.

M20 – Радови међународног значаја

M21a Рад у међународном часопису изузетних вредности

1. Dundjerski D., Tomašević M., "Automatic Database Troubleshooting of Azure SQL Databases", *IEEE Transaction on Cloud Computing*, DOI: 10.1109/TCC.2020.3007016, Vol. 10, No. 3, July-September 2022, pp. 1604-1619, ISSN: 2168-7161, IF(2020): 5.938
2. Trobec R., Vasiljević R., Tomašević M., Milutinović V., Beivide R., Valero M., "Interconnection Networks in Petascale Computer Systems: a Survey", *ACM Computing Surveys*, Vol. 49, No. 3, September 2016, pp. 1-25, ISSN: 0360-0300, IF(2016): 6.748

M21 Рад у врхунским међународним часописима

1. Kepuška K., Tomašević M., "A Lightweight Framework for Cyber Risk Management in Western Balkan Higher Education Institutions, ", *PEERJ Computer Science*, April 2024, DOI: 10.7717/peerj-cs.1958, ISSN: 2376-5992, IF(2023): 3.4
2. Protić J., Tomašević M., Milutinović V., "Distributed Shared Memory: Concepts and Systems," *IEEE Parallel & Distributed Technology*, Vol. 4, No. 2, Summer 1996, pp. 63- 79, ISSN: 1063-6552, IF(1998): 1.727
3. Grujić A., Tomašević M., Milutinović V., "A Simulation Study of Hardware-Oriented DSM Approaches", *IEEE Parallel & Distributed Technology*, Vol. 4, No. 1, Spring 1996, pp. 74- 83, ISSN: 1063-6552, IF(1998): 1.727

M22 Рад у истакнутом међународном часопису

1. Mišić M., Tomašević M., "Comparison of Parallel Central Processing Unit- and Graphics Processing Unit-based Implementations of Greedy String Tiling Algorithm for Source Code Plagiarism Detection", *Concurrency and Computation: Practice and Experience*, Vol. 27, Issue 1, June 2022, pp. 1-12, DOI: 10.1002/cpe.7135, ISSN: 1532-0626, IF(2021): 1.831

2. Mišić M., Kovačev P., Tomašević M., "Improving Performance of Background Subtraction on Mobile Devices: a Parallel Approach", *Journal of Real-Time Image Processing*, November 2021, DOI: 10.1007/s11554-021-01184-x, ISSN: 1861-8200, IF(2021): 1.935
3. Blagojević V., Bojić D., Bojović M., Cvetanović M., Đorđević J., Đurđević Đ., Furlan B., Gajin S., Jovanović Z., Milićev D., Milutinović V., Nikolić B., Protić J., Punt M., Radivojević Z., Stanisavljević Ž., Stojanović S., Tartalja I., Tomašević M., Vuletić P., "A Systematic Approach to Generation of New Ideas for PhD Research in Computing", *Advances in Computers*, Vol. 104, January 2017., pp. 1-32, 10.1016/bs.adcom.2016.09.001 ISSN: 0065-2458, IF(2017): 1.514
4. Dundjerski D., Tomašević M., "GPU-Based Parallelization of the OSPF and BGP Routing Protocols", *Concurrency and Computation: Practice and Experience*, Vol. 27, Issue 1, January 2015, pp. 237-251, ISSN: 1532-0626, IF(2015): 0.942
5. Punt M., Tomašević M., Đorđević J., "Evaluation and Analysis of an On-line Error Detection Monitoring Technique", *Computers and Electrical Engineering*, Vol. 39, Issue 2, February 2013, pp. 261-273, ISSN: 0045-7906, IF(2013): 0.992
6. Tomašević M., Milutinović V., "Hardware Approaches to Cache Coherence in Shared-Memory Multiprocessors, Part 2", *IEEE Micro*, Vol.14., No.6, December 1994., pp. 61-66, ISSN: 0272-1732, IF: 0.43
7. Tomašević M., Milutinović V., "Hardware Approaches to Cache Coherence in Shared-Memory Multiprocessors, Part 1", *IEEE Micro*, Vol.14., No.5, October 1994., pp. 52-59, ISSN: 0272-1732, IF: 0.43

M23 Рад у међународном часопису

1. Tomašević V., Tomašević M., "Double Time-Memory Trade-Off in OSK RFID Protocol", *Wireless Personal Communication*, 108(1), August 2019, pp. 551-568, DOI: 10.1007/s11277-019-06417-8, ISSN: 0929-6212, IF(2019): 1.061
2. Tomašević V., Tomašević M., Bojanić S., "Interval-based Recording of Generated Pseudo-Random Numbers", *Revista Internacional de Métodos Numéricos para Cálculo y Diseño en Ingeniería*, Vol 35 (2), 33, 2019., DOI:10.23967/j.rimni.2019.06.003, ISSN: 0213-1315, IF(2019): 0.338
3. Radulović M., Girbal S., Tomašević M., "Low-level Implementation of the SISC Protocol for Thread-level Speculation on a Multi-core Architecture", *Parallel Computing*, Vol. 67, Issue C, September 2017, pp. 1-19, DOI: 10.1016/j.parco.2017.07.007, ISSN: 0167-8191, IF(2017): 0.938
4. Radulović M., Tomašević M., Milutinović V., "Register-Level Communication in Speculative Chip Multiprocessors", *Advances in Computers*, Vol. 92, January 2014, pp. 1-66, ISSN: 0065-2458, IF: 0.489 (2013)
5. Vitorović A., Tomašević M., Milutinović V., "Manual Parallelization versus State-of-the-art Parallelization Techniques: the SPEC CPU2006 as a Case Study", *Advances in Computers*, Vol. 92, January 2014, pp. 203-251, ISSN: 0065-2458, IF: 0.489 (2013)
6. Tomašević V., Tomašević M., "An Analysis of Chain Characteristics in the Cryptanalytic TMTO Method", *Theoretical Computer Science*, Vol. 501, August 2013, pp. 52-61, ISSN: 0304-3975, IF(2013): 0.516

7. Tomašević M., Bojović M., Đorđević J., "A Hardware Implementation of the Mechanism of Multiprocessing", *Microprocessors and Microsystems*, Vol. 23, December 1999, pp. 471-479, ISSN: 0141-9331, IF(1999): 0.151
8. Bojović M., Tomašević M., Đorđević J., "The Interactive Development and Testing System for a RISC-Style Processor," *The Computer Journal*, Vol. 42, No. 5, 1999., ISSN: 0010-4620, IF(1999): 0.349
9. Đorđević J., Tomašević M., Bojović M., Potić V., Randić S., "An Operating System Accelerator," *Journal of Systems Architecture*, Vol. 44, No. 9-10, June 1998, pp. 737-754, ISSN: 1383-7621, IF(1998): 0.029
10. Tomašević M., Milutinović V. "The Word-invalidate Cache Coherence Protocol," *Microprocessors and Microsystems*, Vol. 20, No. 1, March 1996, pp. 3-16, ISSN: 0141-9331, IF(1997): 0.163
11. Savić, S., Tomašević M., Milutinović V. "Improved RMS for the PC Environment," *Microprocessors and Microsystems*, Vol. 19, No. 10, December 1995, pp. 609-619, ISSN: 0141-9331, IF(1997): 0.163

Радови у међународним научним часописима ван JCR листе (часописи који немају impact factor)

1. Đorđević J., Bojović M., Tomašević M., Lazić B., Velašević D., "A RISC-Style Hardware Accelerator for Operating Systems," *International Journal of Computers and Applications*, Vol. 21, No. 2, 1999, pp. 50-55, ISSN: 1206-212X.
2. Radulović M., Tomašević M., "A Proposal for Register-level Communication in a Speculative Chip Multiprocessor", *ETF Journal of Electrical Engineering, University of Montenegro*, Vol. 15, No. 1, May 2006, pp. 91-98. ISSN 0352 – 5207.
3. Tomašević M., Protić J., Savić S., Jovanović M., Grujić A., Milutinović V. "A Reflective Memory System for Personal Computers", *The IPSI Transactions on Internet Research*, Vol. 2, No. 2, July 2006, pp. 7-12. ISSN: 1820-4503
4. Radulović M., Tomašević M. "On Reducing Overheads in CMP TLS Integrated Protocols", *The IPSI Bgd Transactions on Internet Research*, Vol. 3, No. 1, January 2007, pp. 11-17. ISSN: 1820-4503

M30 Међународни научни скупови

M31 – Предавање по позиву са међународног скупа штампано у целини

1. Mišić M., Protić J., Tomašević M. "Improving Source Code Plagiarism Detection: Lessons Learned", *25th Telecommunications Forum (TELFOR)*, Belgrade, Serbia, November 2017.
2. Šuštran Ž., Protić J., Tomašević M. "Towards an Improved Implementation of Hardware Transactional Memory on Asymmetric Processors", *30th Telecommunications Forum (TELFOR)*, Belgrade, Serbia, November 2022.

M32 – Предавање по позиву са међународног скупа штампано у изводу

1. Tomašević M., Milutinović V., "Shared-Memory Multiprocessors", *2nd International Conference on Parallel Processing and Applications (PPAM'97)* Zakopane, Poland, September 1997.

2. Tomašević M., Protić J., Milutinović V., "Contemporary Issues in Shared-Memory Multiprocessors", *HIPC-97 Asian High Performance Conference*, Seoul, Korea, April 1997.
3. Protić J., Tomašević M., Milutinović V., "Distributed Shared Memory: Concepts and Systems," *23th International Symposium on Computer Architecture (ISCA 23)*, Philadelphia, PA, USA, May 1996.
4. Tomašević M., Tartalja I., Milutinović V., "Hardware and Software Approaches to Cache Coherence in Shared-Memory Multiprocessors", *Specialized Workshop on Cache Consistency Problem*, University of Pisa, Pisa, Italy, January 96.
5. Tomašević M., Milutinović V., "Tutorial on Hardware Approaches to Cache Coherence in Shared-Memory Multiprocessors", *2nd International Symposium on High-Performance Computer Architecture (HPCA)*, San Jose, CA, USA, February 1996.
6. Protić J., Tomašević M., Milutinović V., "Distributed Shared Memory: Concepts and Systems", *22th International Symposium on Computer Architecture (ISCA 22)*, Santa Margherita Ligure, Italy, June 1995.

M33 – Саопштење са међународног скупа штампано у целини

1. Štaka Z., Mišić M., Tomašević M. "CPU vs. GPU: Performance Evaluation of Classical Machine and Deep Learning Algorithms", *24th Interantional Symposium Infoteh*, Jahorina, Bosnia and Herzegovina, March 2025.
2. Smiljković L., Radonjić M., Mišić M., Tomašević M. "Comparing Python Code Parallelization Techniques for Spatial Transcriptomics Data", *31st Telecommunications Forum (TELFOR)*, Belgrade, Serbia, November 2023.
3. Šuštran Ž., Protić J., Tomašević M. "Towards an Improved Implementation of Hardware Transactional Memory on Asymmetric Processors", *30th Telecommunications Forum (TELFOR)*, Belgrade, Serbia, November 2022.
4. Đukić J., Jocović V., Mišić M., Tomašević M. "Automated Grading System for Picocomputer Assembly Codes Integrated within E-Learning Platform", *6th International Conference on Electrical, Electronic and Computing Engineering (IcETRAN)*, Novi Pazar, Serbia, June 2022.
5. Kovačev P., Mišić M., Tomašević M. "Parallelization of the Mixture of Gaussians Model for Motion Detection on the GPU", *Zooming Innovation in Consumer Electronics International Conference 2018 (ZINC)*, Novi Sad, Serbia, May, 2018.
6. Dundjerski D., Lazić S., Tomašević M., Bojić D., "Improving Schema Issue Advisor in the Azure SQL Database", *25th Telecommunications Forum (TELFOR)*, Belgrade, Serbia, November 2017.
7. Mišić M., Protić J., Tomašević M. "Improving Source Code Plagiarism Detection: Lessons Learned", *25th Telecommunications Forum (TELFOR)*, Belgrade, Serbia, November 2017.
8. Vlahović T., Mišić M., Tomašević M., Karadžić A., Rikalo A., "Extending Valgrind framework with the MIPS MSA Support", *Zooming Innovation in Consumer Electronics International Conference 2017 (ZINC)*, Novi Sad, Serbia, May 2017.

9. Dunderski D., Nikolić B., Tomašević M., "A New CUDA Web-based Learning Environment", *3rd International Conference on Electrical, Electronic and Computing Engineering (IcETRAN)*, Zlatibor, Serbia, June 2016.
10. Vesović M., Smiljanić A., Tomašević M., "Speeding-up IP Lookup Procedure in Software Routers by Means of Parallelization", *24th Telecommunications Forum (TELFOR)*, Belgrade, Serbia, November 2016.
11. Nikolov D., Mišić M., Tomašević M., "GPU-based Implementation of Reverb Effect", *23th Telecommunications Forum (TELFOR)*, Belgrade, Serbia, November 2015.
12. Mišić M., Bethune I., Tomašević M., "Automated Regression Testing and Code Coverage Analysis of the CP2K Application", *7th IEEE International Conference on Software Testing, Verification, and Validation*, Cleveland, USA, April 2014.
13. Milić U., Gelado I., Puzović N., Ramirez A., Tomašević M., "Parallelizing General Histogram Application for CUDA Architecture", *International Conference on Embedded Computer Systems: Architectures, Modeling, and Simulation*, Samos, Greece, July 2013.
14. Štrbac-Savić S., Tomašević M., "Comparative Performance Evaluation of the AVL and Red-Black Trees", *V Balcan Conference in Informatics*, Novi Sad, Serbia, September 2012.
15. Mišić M., Đurđević Đ., Tomašević M., "Evolution and Trends in GPU Computing", *35th International Convention on Information, Communication and Electronics Technology (MIPRO)*, Opatija, Croatia, Maj 2012.
16. Punt M., Djordjević J., Tomašević M., "A Simulation Environment for the On-Line Monitoring of a Fault Tolerant Flight Control Computer", *IEEE Eastern European Regional Conference on the Engineering of Computer Based Systems*, Novi Sad, September 2009.
17. Radulović M., Tomašević M., "Towards an Improved Integrated Coherence and Speculation Protocol", *IEEE EUROCON2007*, Warsaw, Poland, September 2007.
18. Radulović M., Tomašević M., "An Aggressive Register-level Communication in a Speculative Chip Multiprocessor", *IEEE EUROCON2005*, Belgrade, Serbia, November 2005.
19. Elahresh M., Djordjević J., Tomašević M., Aleksić M., "An Improved On-Line Monitoring Technique for a Fault-Tolerant Computing Node", *Proceedings of the IEEE Canadian Conference on Electrical and Computer Engineering*, Toronto, Canada, 2004.
20. Tončev M., Tomašević M., Djordjević J., Aleksić M., "Improving Performance of a DSM System by the Communication Controller Organization", *Proceedings of the IEEE Canadian Conference on Electrical and Computer Engineering*, Toronto, Canada, 2004.
21. Tončev M., Djordjević J., Tomašević M., Aleksić M., "Multithreaded Communication Controller For Efficient DSM Multiprocessors", *Proceedings of the IEEE Canadian Conference on Electrical and Computer Engineering*, Toronto, Canada, 2001.
22. Tončev M., Tomašević M., Aleksić M., "The Impact of Out-of-Order Message Delivery on Cache Coherence Protocols", *Proceedings of the IEEE Canadian Conference on Electrical and Computer Engineering*, Toronto, Canada, 2001.

23. Milutinović V., Marković B., Tomašević M., Tremblay M. "The Split Temporal/Spatial Cache: A Complexity Analysis," *Proceedings of 6th SCIzzL*, Santa Clara, USA, September 1996,
24. Milutinović V., Marković B., Tomašević M., Tremblay M. "The Split Temporal/Spatial Cache: A Performance Analysis," *Proceedings of 5th SCIzzL*, Santa Clara, USA, March 1996,
25. Protić J., Tartalja I., Tomašević M., "Memory Consistency Models for Shared Memory Multiprocessors and DSM Systems," *Proceedings of the MELECON96*, Bari, Italy, May 1996.
26. Milutinović V., Tomašević M., Marković B., Tremblay M. "A New Cache Architecture Concept: The Split Temporal/Spatial Cache," *Proceedings of the MELECON96*, Bari, Italy.
27. Protić J., Tomašević M., Milutinović V., "A Survey of Distributed Shared Memory Systems," *28th Hawaii International Conference on System Sciences*, Maui, USA, January 1995.
28. Jovanović M., Tomašević M., Milutinović V., "A Simulation Analysis of Two Reflective Memory Approaches," *28th Hawaii International Conference on System Sciences*, Maui, USA, January 1995.
29. Protić J., Tomašević M., Milutinović V., "A Survey of Distributed Shared Memory Approaches," *Proceedings of XVI Int. Symposium on Nuclear Electronics and Computing*, Varna, Bulgaria, September 1994.
30. Jovanović M., Tomašević M., Milutinović V., "Design Issues in Block-Oriented Reflective Memory System," *Proceedings of XVI Int. Symposium on Nuclear Electronics and Computing*, Varna, Bulgaria, September 1994.
31. Grujić A., Tomašević M., Milutinović V., "A Simulation Study of Hardware-Oriented DSM Approaches", *IEEE Region 10's 9th Annual International Conference*, Singapore, August 1994.
32. Graovac S., Tomašević M., Benčik R., Radosavljević A., "Train Driving Simulator," *5th International Training Equipment Conference*, Hague, Netherland, April 1994.
33. Tomašević M., Milutinović V., "A Survey of Hardware Solutions for Maintenance of Cache Coherence in Shared-Memory Multiprocessors", *26th Hawaii International Conference on System Sciences*, Maui, USA, January 1993.
34. Tomašević M., Milutinović V., "A Simulation Study of Snoopy Cache Coherence Protocols", *25th Hawaii International Conference on System Sciences*, Maui, USA, January 1992.

M34 – Саопштење са међународног скупа штампано у изводу

1. Mišić M., Tomašević M., "Analysis of Parallel Sorting Algorithms on Different Parallel Platforms", *Proceedings of the ACACES (Advanced Computer Architecture and Compilation for Embedded Systems)*, Fiuggi, Italy, July 2011.
2. Radulović M., Girbal S., Tomašević M., "Evaluating the SISC TLS Protocol through Structural Simulation", *Proceedings of the ACACES (Advanced Computer Architecture and Compilation for Embedded Systems)*, Terrasa, Barcelona, Spain, July 2009.

3. Stojanović S., Furlan B., Tomašević M., Milutinović V., "An Overview of Concurrency Support in Accessing Shared Data in SMPs," *Proceedings of the ACACES (Advanced Computer Architecture and Compilation for Embedded Systems)*, L'Aquila, Italy, July 2008.
4. Radulović M., Girbal S., Tomašević M., "Simulation Support for Speculative Multithreading Processors", *Proceedings of the ACACES (Advanced Computer Architecture and Compilation for Embedded Systems)*, L'Aquila, Italy, July 2008.
5. Radulović M., Tomašević M., "Support for Thread-Level Speculation in Chip Multiprocessors", *Proceedings of the ACACES (Advanced Computer Architecture and Compilation for Embedded Systems)*, L'Aquila, Italy, July 2007.
6. Tomašević M., Puzović N., Leković S., "Analysis and Improvement of Replacement Algorithms in SMP cache memory systems", *Proceedings of the ACACES (Advanced Computer Architecture and Compilation for Embedded Systems)*, L'Aquila, Italy, July 2005.

M40 – Монографије националног значаја

M45 Поглавље у књизи M42 или рад у тематском зборнику националног значаја

1. V.Tomašević and M.Tomašević, Application of the Innovative IT Technologies in Insurance, in *Contemporary Challenges and Sustainability of the Insurance Industry*, Chapter 23, University of Belgrade - Faculty of Economics, 2021, pp. 283-298.
2. V.Tomašević and M.Tomašević, Insurance Issues Regarding Cyber Security Threats, in *Insurance Market after COVID-19*, Chapter 23, University of Belgrade - Faculty of Economics, 2020, pp. 421-440.

M50 – Национални часописи

M52 – Рад у истакнутом часопису националног значаја

1. Tomašević V., Tomašević M., "Analysis and Evaluation of Three Methods for Tag Identification in OSK RFID Protocol", *Telfor Journal*, Vol. 11, No. 1, 2019., ISSN: 1821-3251.
2. Dundjerski D., Lazić S., Tomašević M., Bojić D., "An Extended Evaluation of Schema Issue Advisor in the Azure SQL Database", *Telfor Journal*, Vol. 10, No. 2, 2017., pp. 91-96, 2018., ISSN: 1821-3251.
3. Vesović M., Smiljanić A., Tomašević M., "Speeding up IP Lookup Procedure in Software Routers by Means of Parallelization", *Telfor Journal*, Vol. 9, No. 1, 2017., pp. 2-7, 2017. ISSN: 1821-3251.
4. Mišić M., Nikolov D., Tomašević M., "Analysis of CPU and GPU Implementations of Convolution Reverb Effect", *Telfor Journal*, Vol. 8, No. 2, 2016., pp. 121-126. ISSN: 1821-3251.
5. Mišić M., Dašić D., Tomašević M., "An Analysis of OpenACC Programming Model: Image Processing Algorithms as a Case Study", *Telfor Journal*, Vol. 6, No. 1, 2014., pp. 53-58. ISSN: 1821-3251.
6. Mišić M., Tomašević M., "Data Sorting Using Graphics Processing Units", *Telfor Journal*, Vol. 4 No.1, 2012, ISSN: 1821-3251.

7. Miliivojević M., Đurđević Đ., Tomašević M., "Architecture of a System for Interactive Training and Testing in Algorithms and Data Structures", *Telfor Journal*, Vol.3 No.1 (2011). ISSN: 1821-3251.

M53 – Рад у часопису националног значаја

1. Tomašević V., Tomašević M., "Pregled i analiza kriptanalitičkih TMTO metoda", *Singidunum revija*, Beograd, oktobar 2010., pp. 141-152. ISSN: 1820-8819.
2. Štrbac-Savić S., Tomašević M., Maček N., Minchev Z. "Comparative Performance Evaluation of Suboptimal Binary Search Trees", *Journal of Computer and Forensic Sciences*, Vol.1, No. 1, 2022, pp. 29-45, ISSN 2956-0799.

M55 – Уређивање научног часописа националног значаја

1. Члан Уређивачког одбора часописа *TELFOR Journal*
2. Одговорни уредник сепарата Електротехника у оквиру часописа *Техника*

M60 – Национални скупови

M63 – Саопштење са скупа националног значаја штампано у целини

1. Mišić M., Jovanović K., Drašković D., Žarković M., Tomašević M., "Godine partnerstva: saradnja sa privredom na Elektrotehničkom fakultetu Univerziteta u Beogradu u periodu 2016.-2021.", *XXVIII skup „Trendovi razvoja“*, Univerzitet u Novom Sadu, Fakultet tehničkih nauka, Kopaonik, Februar 2021
2. Drašković D., Šekularac T., Sribljanović A., Nikolić B., Protić J., Cvetanović M., Ivaniš P., Tomašević M., "Novi pristupi u daljinskoj nastavi i radu stručnih tela Elektrotehničkog fakulteta u Beogradu tokom pandemije Covid-19", *XXVII skup „Trendovi razvoja“*, Univerzitet u Novom Sadu, Fakultet tehničkih nauka, Kopaonik, Februar 2021.
3. Tomašević V., Tomašević M., "Ubrzanje postupka identifikacije taga kod OSK RFID protokola", *XXVI Telekomunikacioni forum TELFOR*, Beograd, Novembar 2018.
4. Mišić M., Protić J., Tomašević M., "Pravci unapređenja softverskih sistema za detekciju plagijarizma u izvornom programskom kodu u akademskom okruženju", *XXIII skup „Trendovi razvoja“*, Univerzitet u Novom Sadu, Fakultet tehničkih nauka, Kopaonik, Februar, 2017
5. Mišić M., Dacić A., Jovanović V., Protić J., Tomašević M., "Disciplinska odgovornost studenata kroz pravilnike, disciplinske mere, stavove studenata i analizu podataka", *XXIII skup „Trendovi razvoja“*, Univerzitet u Novom Sadu, Fakultet tehničkih nauka, Kopaonik, Februar, 2017.
6. Mišić M., Nikolov D., Protić J., Tomašević M., "Paralelizacija GST algoritama za detekciju sličnosti u programskom kodu", *XXIV Telekomunikacioni forum TELFOR*, Beograd, Novembar 2016.
7. Tomašević V., Tomašević M., "Time-Memory Trade-Off in RFID Systems", *SINTEZA2016 International Scientific Conference*, Belgrade, April 2016.
8. Mišić M., Živković M., Protić J., Tomašević M., "Detekcija sličnosti u programskom kodu korišćenjem GST algoritma", *YUINFO 2016*, Kopaonik, Mart 2016.
9. Francuski M., Mišić M., Tomašević M., "Simulacija računarskog protivnika u igri potapanje brodova na Android platformi", *YUINFO 2013*, Kopaonik, 2013.

10. Mišić M., Dašić D., Tomašević M., "Analiza primene OpenACC direktiva u implementaciji algoritama za obradu slike", *XXI Telekomunikacioni forum TELFOR*, Beograd, Novembar 2013.
11. Miletić S., Mišić M., Tomašević M., "Implementacija grafovskih algoritama korišćenjem grafičkih procesora", *Konferencija ETRAN-a*, Zlatibor, Jun 2013.
12. Ilić V., Mišić M., Tomašević M., "Primena grafičkih procesora u obradi zvučnih signala", *XX Telekomunikacioni forum TELFOR*, Beograd, Novembar 2012.
13. Tomašević V., Tomašević M., "Kompromis između vremenskih i memorijskih zahteva u kriptanalitičkom postupku", *XX Telekomunikacioni forum TELFOR*, Beograd, Novembar 2012.
14. Mišić M., Tomašević M., "Analiza performansi memorijske hijerarhije na CUDA grafičkim procesorima", *Konferencija ETRAN-a*, Zlatibor, Jun 2012.
15. Štrbac-Savić S., Tomašević M., "Analiza performansi skoro balansiranih stabala binarnog pretraživanja", *Konferencija ETRAN-a*, Zlatibor, Jun 2012.
16. Štrbac-Savić S., Tomašević M., "Analiza tehnika za reorganizaciju samopodešavajućih stabala", *XI Naučno-stručni simpozijum Infoteh*, Jahorina, Mart 2012.
17. Mišić M., Tomašević M., "Sortiranje podataka korišćenjem grafičkih procesorskih jedinica" *XIX Telekomunikacioni forum TELFOR*, Beograd, Novembar 2011.
18. Dunderski D., Tomašević M., "Paralelizacija izbora najboljih ruta u BGP protokolu pomoću grafičkog procesora", *XIX Telekomunikacioni forum TELFOR*, Beograd, Novembar 2011.
19. Milivojević M., Đurđević Đ., Tomašević M., "Sistem za interaktivnu obuku i testiranje znanja iz algoritama i struktura podataka", *XVIII Telekomunikacioni forum TELFOR*, Beograd, Novembar 2010.
20. Radulović M., Tomašević M., "A Proposal for Register-level Communication in a Speculative Chip Multiprocessor", *XLIX Konferencija ETRAN-a*, Budva, Jun 2005.
21. Tomašević M., Radulović M., "Speculative Chip Multiprocessors", *Proceedings of International Workshop devoted to the 25th Anniversary of Faculty of Natural Sciences*, Podgorica, September 2005, pp. 168-186.
22. Elahresh M., Đorđević J., Tomašević M., "Evaluation of a Fault-Tolerant Computing Node", *XLIV Konferencija ETRAN-a*, Sokobanja, Jun 2000.
23. Elahresh M., Tomašević M., Đorđević J., "A Simulator for a Fault-Tolerant Computing Node", *XLIV Konferencija ETRAN-a*, Sokobanja, Jun 2000.
24. Elahresh M., Đorđević J., Tomašević M., "DASS – An Improved Monitoring Technique", *XLIII Konferencija ETRAN-a*, Zlatibor, Septembar 1999.
25. Elahresh M., Tomašević M., Đorđević J., "The On-line Error Detection Using the Monitoring Technique", *Informacione tehnologije*, Žabljak, Mart 1998.
26. Tončev M., Tomašević M., Đorđević J., "Višekontekstni komunikacioni kontroler za efikasni DSM multiprocesor", *XLII Konferencija ETRAN-a*, Vrnjačka Banja, Jun 1998.
27. Tončev M., Tomašević M., Đorđević J., "Dinamička simulacija multiprocesora sa distribuiranom zajedničkom memorijom", *XLI Konferencija ETRAN-a*, Zlatibor, Jun 1997.

28. Jovanović M., Tomašević M., "Analiza složenosti osnovnog i poboljšanog sistema sa reflektivnom memorijom", *XL Konferencija ETRAN-a*, Budva, Jun 1996.
29. Protić J., Tartalja I., Tomašević M., "Prilog razumevanju memorijskih modela konzistencije", *YU INFO96*, Brezovica, April 1996.
30. Tončev M., Tomašević M., Đorđević J. Milutinović V., "Statistička analiza korišćenja primitiva protokola za održavanje keš koherencije kod DSM multiprocesora", *YU INFO96*, Brezovica, April 1996.
31. Protić J., Tomašević M., Milutinović V., "Pregled DSM procesiranja: sistemi", *XXXIX Konferencija ETAN-a*, Zlatibor, Jun 1995.
32. Jovanović M., Tomašević M., "Analitičko modeliranje performansi RM/MC sistema", *XXXIX Konferencija ETAN-a*, Zlatibor, Jun 1995.
33. Jovanović M., Tomašević M., "Simulaciono poređenje dva pristupa sistema sa reflektivnom memorijom", *YU INFO95*, Brezovica, 1995.
34. Protić J., Tomašević M., Milutinović V., "Pregled DSM procesiranja: koncepti", *YU INFO95*, Brezovica, Mart 1995.
35. Tomašević M., Benčik R., Graovac S., "Računarska podrška trenažera za obuku mašinovođa", *JUŽEL94*, Vrnjačka Banja, Oktobar 1994.
36. Savić S., Tomašević M., Milutinović V., "Simulacija i implementacija jednog koncepta distribuirane deljene memorije", *XXXVIII Konferencija ETAN-a*, Niš, Jun 1994.
37. Grujić A., Tomašević M., Milutinović V., "Simulaciona analiza tri DSM pristupa", *XXXVIII Konferencija ETAN-a*, Niš, Jun 1994.
38. Tomašević M., Milutinović V., "Analitička evaluacija decentralizovanih protokola za koherenciju keš memorija", *XXXVII Konferencija ETAN-a*, Beograd, Jun 1993.
39. Tomašević M., Gobović A., Milutinović V., "Simulator multiprocesorskog sistema sa zajedničkom memorijom i zajedničkom magistralom", *XXXVI Konferencija ETAN-a*, Kopaonik, Jun 1992.
40. Tomašević M., Milutinović V., "Dvonivoska hijerarhija keš memorija u multiprocesorskim sistemima sa zajedničkom memorijom i zajedničkom magistralom", *XXXV Konferencija ETAN-a*, Ohrid, Jun 1991.
41. Tomašević M., Džigurski O., Petronijević D., "Simulacija grafičkog prikazivanja podataka u avionskim računarskim sistemima", *XXXIV Konferencija ETAN-a*, Zagreb, Jun 1990.
42. Tomašević M., Džigurski O., Vojvodić I., Petronijević D., "Distribuirani računarski sistem za simulaciju dinamičkih sistema u realnom vremenu", *XXXIII Konferencija ETAN-a*, Novi Sad, Jun 1989.
43. Tomašević M., Đorđević J., Potić V., "Razmatranje arhitekture procesora multiprocesne obrade", *XXX Konferencija ETAN-a*, Herceg Novi, Jun 1986.
44. Đorđević J., Potić V., Randić S., Tomašević M., Bojović M., "Analiza preklapanja mikroinstrukcija procesora multiprocesne obrade", *XXVIII Konferencija ETAN-a*, Split, Jun 1984.

45. Bojović M., Đorđević J., Tomašević M., Potić V., Randić S., "Komandni jezik za upravljanje procesorom multiprocesne obrade", *XXVIII Konferencija ETAN-a*, Split, Jun 1984.
46. Đorđević J., Tomašević M., "Simulator procesora multiprocesne obrade", *XXVIII Konferencija ETAN-a*, Struga, Jun 1983.
47. Đorđević J., Randić S., Tomašević M., "Mikroassembler procesora multiprocesne obrade", *XXVII Konferencija ETAN-a*, Subotica, Jun 1982.
48. Potić V., Đorđević J., Lazić B., Velašević D., Randić S., Tomašević M. "Arhitektura i organizacija procesora multiprocesne obrade", *XXVII Konferencija ETAN-a*, Subotica, Jun 1982.

Приказ и оцена научног рада кандидата

Кандидат се у каријери бавио већим бројем научних-истраживачких проблема у следећим областима: мултипроцесорски системи и паралелно процесирање, рачунарски системи посебне намене, развојна софтверска средства, алгоритми и структуре података, системи са смањеном осетљивошћу на отказе, криптоанализа, рачунарство у облаку, итд. Из ових области кандидат је објавио више радова у престижним међународним часописима.

Мултипроцесорски системи и паралелно процесирање

Облашћу мултипроцесорских система кандидат се интензивно бави од израде докторске дисертације па све до данас. Он се претежно бавио истраживачким темама из архитектуре рачунара у системима са заједничком меморијом, и то: протоколима за одржавање кохеренције приватних кеш меморија, механизмом дистрибуиране заједничке меморије, системима са рефлективном меморијом, моделима меморијске конзистенције, организацијом проширене меморијске хијерархије, организацијом комуникационих контролера, спекулативним извршавањем на нивоу нити у мултипроцесорским системима на чипу, као и алгоритмима замене у кеш меморијама. У овој области је стекао међународну репутацију, одржао више предавања по позиву на страним конференцијама, универзитетима и компанијама, био ангажован за експертизе и на комерцијалним пројектима неких познатих станих компанија, са коауторима објавио више радова, као и две едитоване књиге у издању *IEEE Computer Society Press*.

Кандидат се дуго бавио важним проблемом кохеренције приватних кеш меморија, који се најефикасније решава хардверским протоколима. Искрпно и компетентно познавање ове области је омогућило да се објави књига која садржи свеобухватан преглед најзначајнијих решења у тој области. Ова књига садржи и значајан део оригинално развијеног материјала од стране самих аутора (два рада, уводно поглавље, прегледна поглавља за сваку од покривених области). Она се користила као уџбеник на редовним и постдипломским студијама на неким иностраним универзитетима. У оквиру истраживања за компанију *NCR* и рада на докторској дисертацији кандидат је предложио и развио нови хардверски протокол за кохеренцију намењен системима са заједничком меморијом и заједничком магистралом – *WIP* (*Word Invalidate Protocol*). Овај протокол, поред потпуне инвалидације блока, уводи и парцијалну инвалидацију на нивоу речи, чиме се повећава искоришћење података прихваћених у кеш меморију и смањује саобраћај на магистрали, што све води ка већој процесној снази система. *WIP* протокол је намењен и ублажавању нежељене појаве “лажног” дељења података. За прелиминарну евалуацију перформанси развијен је аналитички поступак заснован на *MVA* моделу, који се може применити на све

протоколе исте класе. Целокупна анализа је показала да предложени протокол даје побољшане перформансе у условима од интереса уз минималну додатну сложеност. Предмет интересовања кандидата била је и комплексна подобласт модела меморијске конзистенције који представљају једну од техника за сакривање и смањење латенције приступа меморији.

Активност кандидата у овој области се природно проширила и на системе са дистрибуираном заједничком меморијом (DSM). Заједно са коауторима је, такође, објавио едитовану књигу која потпуно покрива ову област истраживања. Слично претходној књизи и она приказује најзначајније доприносе према класификацији коју су развили аутори, садржи велики део оригиналног материјала и користила се у настави у иностранству. У каснијим радовима пажња је посвећена системима са хардверски имплементираним DSM механизмом због њихове ефикасности. На основу материјала из две поменуте књиге кандидат је са коауторима одржао двадесетак предавања по позиву на познатим међународним конференцијама, универзитетима и компанијама. На пример, предавање о системима са дистрибуираном заједничком меморијом је два пута држано на најугледнијој конференцији из области архитектуре рачунара – ISCA (1995. у Санта Маргерита Лигуре, Италија и 1996. у Филаделфији, САД), а предавање о хардверским протоколима за кохеренцију на, такође, изузетно престижној конференцији HPCA 1996 у Сан Хозеу, САД.

У области система са рефлективном меморијом кандидат је, заједно са сарадницима, предложио побољшана решења ових система од којих су нека реализована. Разрађени су мултипроцесорски системи са рефлективном меморијом који балансирају потребу за великом пропусном моћи са захтевом за малим временом одзива (RM/MC) и у том смислу дат је предлог који побољшава перформансе таквих система. Предложено решење подразумева акције и у време превођења и у време извршавања програма. Поред тога, дат је и побољшани алгоритам арбитрације на магистрали. Развијен је и ефикасан аналитички поступак моделирања и евалуације система са заједничком меморијом и урађена имплементациона анализа

Претходни резултати су омогућили повезивање РС рачунара у систем заснован на рефлективној меморији. У том циљу предложено је неколико побољшања концепта (филтрација уписа, ургентни захтеви за магистралом, кеширање, итд.) ради постизања бољих перформанси, а затим је реализован прототип кључног елемента система - плоче са рефлективном меморијом. Овај производ је касније ушао серијску производњу компаније *Encore* која га је уграђивала у своје *data storage* системе који су у то време били најбржи на тржишту. Развијен је аналитички поступак на основу којег је извршена статичка анализа коришћења примитива протокола за одржавање кохеренције кеш меморија мултипроцесора са дистрибуираном заједничком меморијом, као и динамички метод за прецизну симулацију разноврсних мултипроцесорских архитектура и његова примена илустрована на примеру евалуације неколико предлога решења за смањење кашњења меморијског система типичног мултипроцесорског система. Разрађена је и могућност коришћење вишеконтекстног протокол процесора ради повећања пропусне моћи комуникационог контролера, предложена оригинална техника преласка са контекста на контекст, приказане њене предности у односу на постојеће технике и процењен утицај предложеног решења на перформансе.

Предложена је и ефикасна двонивоска хијерахија у мултипроцесорским системима за заједничком меморијом и заједничком магистралом. Једна од главних карактеристике хијерархије на другом нивоу су приватне кеш меморије за податке и дељене кеш меморије за инструкције. Овај рад је проглашен за најбољи у Секцији за рачунарску технику на конференцији ЕТАН-а 1991. године.

Једна од иновативних предлога у архитектури кеш меморије (STS) је заснован на бољем коришћењу локалности. Кеш меморија за податке је подељена на два дела: део за податке са временском локалношћу (класична хијерархија) и део за податке који показују просторну локалност (мала кеш меморија са механизмом за прихватање унапред). Поред тога, предложен је и механизам за динамичко одређивање типа локалности. Кандидат се бавио и побољшањем алгоритама замене у кеш меморијама мултипроцесорских система. У том циљу предложио је квалитативно нов алгоритам замене који се, уместо само на критеријуму временске локалности, првенствено заснива на стању блока у оквиру протокола за кохеренцију. Симулациони резултати су показали боље перформансе овог алгоритма у односу на алгоритме засноване на историји приступа који се уобичајено примењују (FIFO, LRU).

Кандидат се, такође, бавио атрактивном облашћу спекулативне паралелизације на нивоу нити (TLS) у мултипроцесорским системима на чипу. Један резултат овог истраживања је и SIC (*Snoopy Inter-register Communication*) протокол који се користи за комуникацију на регистарском нивоу приликом спекулативног извршавања програмских нити у мултипроцесору на чипу. Његова унапређена верзија, ESIC протокол, је заснована на агресивном прослеђивању вредности од произвођача пре захтева у тежњи да се повећа искоришћење процесора. Поред тога су развијене и три варијанте SICC (*Speculation Integrated with Snoopy Coherence*) протокола за спекулативну меморијску комуникацију засновани на интеграцији подршке за кохеренцију и спекулацију. Разрађене су верзије протокола које користе и стратегију ажурирања и стратегију поништавања, а обухватају и комуникацију иницирану и од произвођача података и од корисника података. Извршена је детаљна имплементација на нивоу симултора са више иновативних пројектних елемената.

Кандидат се бавио истраживањем потенцијала мануелне паралелизације на нивоу изворног кода у односу на аутоматску паралелизацију. Након излагања теоретске основе и прегеда стања у области, препознати су и предложени типични случајеви мануелне паралелизације, а затим демонстрирани и евалуирани на примеру стандардног бенчмарк пакета SPEC-2006 у извршавању на два снажна рачунарска система. У новије време кандидат је посветио изузетно актуелној области коришћења графичких процесора у процесирању опште намене (GPGPU). Ово је обухватало истраживање могућности паралелизације протокола рутирања на графичким процесорима, а затим је евалуирана паралелизација BGP и OSPF протокола на три различита графичка процесора. Постигнута су и дискутована добра убрзања на репрезентативном реалном радном оптерећењу. Анализиране су и имплементиране паралелизације алгоритама на графичком процесору и у другим, разноврсним доменима: сортирање података, обрада звука, препознавање покретних објеката у слици, графовски алгоритми, обрада хистограма, детекције сличности, итд.

Рачунарски системи посебне намене

Кандидат је учествовао у свим фазама развоја, пројектовања и реализације оригиналног специјализованог процесора ПМО који ради у комбинацији са рачунарима серије ЕС и хардверски реализује неке функције оперативног система везане за рад са процесима, ресурсима, догађајима и улазно/излазним баферима. Процесор је имао RISC архитектуру и реализован је применом технике преклапања фаза извршавања већег броја инструкција у дискретној технологији по захтеву наручиоца. Кандидат је радио на више пројеката за специјалног наручиоца из наше земље. Тако је учествовао у конципирању домаћег покретног рачунара који је предвиђен да функционише у посебним радним условима са повишеним степеном поузданости. Због тога је требало предвидети одговарајућа решења и у хардверу и у софтверу овог система. Направљени

су пројекти три верзије рачунара различитог обима за различите нивое намене. Поред тога, учествовао је у конципирању и развоју система за управљање беспилотном летелицом за истог корисника и то претежно на хардверском делу система који је био заснован на рачунарским плочама фирме Intel. Систем је омогућавао погодну припрему мисије, праћење и вођење до три летелице истовремено, као и чување података који омогућавају каснију анализу мисије. Учествовао је и у конципирању и развоју дистрибуираног рачунарског система за симулацију динамичких система који раде у реалном времену заснованог на рачунарима и радним станицама фирме DEC. Систем је, затим, реализован са магистралом посебне намене 1553B и искоришћен за симулацију авионског рачунарског система за управљање летом и графичко приказивање на HUD и HDD показивачима, а реализовани су и симулатори-тренажери других система специјалне намене.

Развојна софтверска средства

У оквиру рада на разним пројектима кандидат је посебно био ангажован на развоју и реализацији софтверских алата који су служили за развој рачунарских система или за потребе евалуације разних решења пре њихове реализације. Тако је кандидат развио софтверски систем за развој микропрограма процесора мултипроцесне обраде који се састоји од микроасемблера, симулатора и пуњача, а затим помоћу њих реализовао и истестирао комплетан скуп микропрограма процесора посебне намене. За потребе евалуације хардверских протокола за кохеренцију кеш меморија направљен је симулатор мултипроцесорског система са заједничком меморијом и заједничком магистралом са синтетичким генератором адресних трагова при чему је побољшан *Archibald-Baer*-ов синтетички модел радног оптерећења тако да, поред временске и просторне локалности, може да се форсира и процесорска локалност. Са сличним моделом радног оптерећења направљени су симулатори DSM система са хардверски имплементираним DSM механизмом, као и симулатор мултипроцесорског система са рефлексивном меморијом који је послужио за евалуацију оригинално предложених унапређења концепта са рефлексивном меморијом која је претходила имплементацији. Развијен је и софтверски пакет који омогућава динамичку симулацију мултипроцесора са дистрибуираном заједничком меморијом који као радно оптерећење користи реалне паралелне апликације из стандардног скупа SPLASH-2, па омогућава симулацију највишег нивоа репрезентативности и веродостојности.

Алгоритми и структуре података

Следећи потребе предмета из којих држи наставу кандидат се интензивно бавио облашћу алгоритама као и проблемима логичке организације и физичке имплементације структура података. Као последица тога произашао је и уџбеник који се користи и на више других универзитета код нас и у земљама нашег говорног подручја. Кандидат се бавио компаративном евалуацијом разних субоптималних варијанти стабла бинарног претраживања коришћењем симулационог метода кроз разматрање перформанси AVL, црвено-црних и самоподешавајућих стабала. Поред тога, за потребе извођења наставе из области алгоритама и структура података конципирано је и великим делом реализовано софтверско окружење за визуелизацију алгоритама, као и за интерактивно испитивање и оцењивање знања из ове области.

Системи са смањеном осетљивошћу на отказе

У области система са смањеном осетљивошћу на отказе кандидат се првенствено бавио проблемима везаним за примене у авионским рачунарским управљачким системима. У том смислу су разматране и поређене погодне хардверске технике за детекцију грешака. По критеријуму односа перформансе и цене посебна пажња је посвећена техници надгледања процесора коришћењем специјализованог хардверског уређаја – монитора, па је предложена унапређена техника надгледања са ширим опсегом примене. Ради инструментализовања надгледаних програма и генерисања контролног програма који се извршава на монитору реализован је одговарајући препроцесор. Ради провере предложене технике и њене квантитативне евалуације реализован је симулатор система који користи ову технику, а затим извршена детаљна симулациона анализа за репрезентативним програмима. Резултати анализе показују да су временски и меморијски режијски трошкови ове технике сасвим прихватљиви уз добру покривеност грешке и латенцију откривања грешке.

Криптоанализа

Кандидат се бавио и неким проблемима у области криптоанализе кроз анализу криптоаналитичких метода заснованих на балансирању између захтева за потрошњу времена и простора (ТМТО). Тако је предложен нови аналитички пробабилистички модел који моделира генерисање ланаца кључева у ТМТО поступку. Овај модел је такође верификован симулационим поступком, јер се показало велико слагање резултата теоријског и практичног поступка. На основу тога је предложен детерминистички ТМТО метод за криптоанализу заснован на савршеним ланцима кључева који се генеришу у припремној фази, а који омогућавају ефикаснију детекцију тајног кључа у фази напада. Користећи принцип балансирања временских и просторних захтева предложени је и унапређени OSK RFID протокол за идентификацију тагова где се побољшане перформансе постижу кроз значајно смањење броја израчунавања хеш вредности.

Поред тога, кандидат се бавио и неким другим проблемима као што је аутоматска детекција проблема у датотекама у клауд окружењу кроз синергистичко коришћење статистичких модела и експертских система, проблем сигурности система за електронско учење, итд.

III. ИНЖЕЊЕРСКЕ РЕАЛИЗАЦИЈЕ

У Институту Михајло Пупин и на Електротехничком факултету је био учесник неколико десетина домаћих и међународних пројеката који су за резултат имали и иновативне реализације рачунарских и наменских система, идејних пројеката, као и пројектних студија. Радио је у пројектним тимовима на разнородним пројектима – научним и комерцијалним, цивилне и војне намене, за домаће и иностране наручиоце, за западно (САД) и источно тржиште (Русија). Учествовао је у развоју и реализацији како специјализованог хардвера тако и софтверских система. Од значајнијих хардверских реализација треба поменути специјализовани микропрограмски процесор RISC архитектуре у дискретној технологији за убрзање извршавања примитива оперативног система, систем заснован на рефлексивној меморији који је компанија *Encore* уграђивала у своје комерцијалне *data storage* процесоре који су у то време били најбржи на тржишту, као и више наменских рачунарских система. Од софтверских реализација може се истаћи свеобухватно окружење за развој микропрограма специјализованог процесора, као и сам комплетан систем микропрограма, низ

софтверских пакета за симулацију различитих врста мултипроцесорских система са заједничком меморијом. Радио је и експертизу за компанију *Hewlett Packard* из области меморијске хијерархије.

1. Урађени значајни пројекти за потребе привреде:

1. Развој и реализација процесора мултипроцесне обраде. Пројекат је рађен у Институту “Михајло Пупин”, Београд, за наручиоца. Институт проблема управљања, Москва, СССР.
2. Софтверски микропрограмски систем и развојно окружење за процесор мултипроцесне обраде. Пројекат је рађен у Институту “Михајло Пупин”, Београд, за Институт проблема управљања, Москва, СССР.
3. Идејни пројект домаћег покретног рачунара посебне намене. Пројект је рађен у Институту “Михајло Пупин”, Београд, за специјалног наручиоца из Југославије.
4. Пројект пословног рачунара IMP86, Институт “Михајло Пупин”, Београд, за фирму Интеркомерц-Информатика.
5. Рачунарски систем за вођење беспилотне летелице. Пројект је рађен у Институту “Михајло Пупин”, Београд, за специјалног наручиоца из Југославије.
6. Развој и симулација дистрибуираног авионског рачунарског система. Пројект је рађен у Институту “Михајло Пупин”, Београд, Ваздухопловни војно-технички институт, Жарково.
7. Истраживање и развој хардверских и софтверских структура као подршка мултипроцесном мултимикропроцесорском систему за рад у реалном времену, Институт “Михајло Пупин”, Београд, за Основну заједницу науке, Београд
8. Развој хардверског протокола за одржавање кохеренције кеш меморија у мултипроцесорском систему са заједничком меморијом и заједничком магистралом. Пројект је рађен на Електротехничком факултету, Београд, за компанију NCR, Аугзбург, Немачка.
9. Развој тренажера за обуку машиновођа. Пројект је рађен у Институту “Михајло Пупин”, Београд, за Југословенске железнице.
10. Надградња мултипроцесорских система са заједничком меморијом, за фирму *Encore*, Fort Lauderdale, САД.
11. Развој и реализација мултипроцесорског система са рефлексивном меморијом заснованог на РС рачунарима, за фирму *Encore*, Fort Lauderdale,, САД.
12. Инфраструктура и апликације за електронско пословање и образовање преко Интернета. Пројекат је рађен на Електротехничком факултету, Београд, као један од стратешких пројеката Министарства за науку и технологију Србије.
13. Експертиза у области протокола за коференцију приватних кеш меморија за компанију *Hewlett Packard*, САД. Рађено на Електротехничком факултету, Београд.

14. Развој дистрибуираних рачунарских система за управљање у индустрији. Пројекат су радили Електротехнички факултет Београд и више других институција као један од трогодишњих стратешких пројеката Министарства за науку и технологију Србије.

2. Остали пројекти:

1. Студија Дистрибуирани рачунарски системи. Студија је рађена у Институту “Михајло Пупин”, Београд, за специјалног наручиоца из Југославије.
1. Студија Мултипроцесни рачунарски системи. Студија је рађена у Институту “Михајло Пупин”, Београд, за специјалног наручиоца из Југославије.
2. Симулациона студија протокола за одржавање кохеренције кеш меморија коришћењем пакета N.2. Студија је рађена на Електротехничком факултету, Београд, за фирму *TDT, Cleveland, САД*.
3. Евалуација мултипроцесорских система са хардверски имплементираним механизмом дистрибуиране заједничке меморије, за компанију *Encore, Fort Lauderdale, САД*.
4. Истраживање у области мултипроцесорских система са заједничком меморијом, за Министарство просвете Црне Горе.
5. Истраживање у области паралелних рачунарских система. Истраживање је рађено на Електротехничком факултету, Београд и више других институција у оквиру петогодишњег Министарства просвете, науке и технолошког развоја Србије.
6. Master Study Development Program, за *World University Service (WUS)*, Аустрија.
7. Information Security Services Education in Serbia (ISSES). Пројекат у оквиру програма Erasmus+ са више домаћих и иностраних факултета.
8. RePROGRAM – Пројекат Министарства просвете, науке и технолошког развоја за унапређење наставе у високом школству
9. Моделовање грешака при упису у ДНК користећи технике машинског учења, Пројекат Фонда за Науку у оквиру програма Сарадња са дијаспором.
10. Контекстно-осетљиви инлајнинг за *Graal VM Native Image*, за компанију *Oracle Labs*
11. Истраживање у области архитектура високе перформансе за HIPEAC2. Рађено на Електротехничком факултету, Београд.
12. Истраживање из области интерконекционих мрежа за паралелне рачунаре високих перформанси са Институтотом Јожеф Штефан, Љубљана, Словенија. Рађено на Електротехничком факултету, Београд.
13. Истраживање из области модела трансакционе меморије, EURO COST on Transactional Memory, конзорцијум више европских универзитета.
14. Развој дигиталних технологија и умрежених сервиса у системима са уграђеним електронским компонентама. Пројекат рађен на Електротехничком факултету, Београд за Министарство за просвету, науку и технолошки развој Србије.

IV ОСТАЛИ ПОКАЗАТЕЉИ УСПЕХА

4.1 Награде међународне

1. На IEEE/ACM конференцији HICSS-92 добио је другу награду за рад у секцији за архитектуру рачунара

4.2 Награде домаће

2. Рад на XXVII конференцији ЕТАН-а 1982. године добио је награду Економског факултета из Суботице,
3. Рад а на XXXV конференцији ЕТАН-а 1991. године награђен је за најбољи рад у секцији за рачунарску технику..
4. Рад на XLIX конференцији ЕТРАН-а 2005. године, добио награду за најбољи рад у секцији за рачунарску технику.
5. Повеља “Капетан Миша Анастасијевић” за научно-стручни допринос развоју рачунарске технике и информатике у Србији 2020. године.
6. Повеља Савеза инжењера и техничара Србије за успешан уређивачки рад и допринос научном квалитету часописа Техника, 2025. Године.

4.3. Уређивачки одбор часописа

1. Члан Уређивачког одбора часописа *TELFOR Journal*
2. Одговорни уредник сепарата Електротехника у оквиру часописа *Техника*

4.4. Рецензије радова

Рецензент више десетина радова у међународним часописима *IEEE Transactions on Computers*, *IEEE Proceedings*, *IEEE Micro*, *IEEE Concurrency*, *Software: Practice and Experience*, итд. Рецензент у домаћим часописима (*Telfor Journal*, *Yujor*, *Serbian Journal of Electrical Engineering*, *Техника*) и конференција (*ЕТРАН*, *ТЕЛФОР*, *Информационе Технологије*, *Инфотех*, итд.)

4.6. Чланство у научним и стручним удружењима

1. Дописни члан Академије инжењерских наука Србије (Одељење електротехничких наука)
2. Члан Председништва Друштва за електронiku, телекомуникације, рачунарство, аутоматiku и нуклеарну технику (*ЕТРАН*)
3. Члан струковне организације HiPEAC (*European Network of Excellence on High Performance and Embedded Architecture and Compilation*).

V ДОПРИНОСИ РАЗВОЈУ УСЛОВА НАУЧНО-ИСТРАЖИВАЧКОГ РАДА

5.1 Формирање лабораторије

Заједно са осталим предметним наставницима и асистентима, на свим предметима које је држао на Електротехничком факултету направљене су лабораторије за три групе предмета: програмирање, алгоритме и структуре података и мултипроцесорске системе. Кроз неке од ових лабораторија пролазили су сви студенти Електротехничког факултета.

5.2 Менторство

5.2.1. Ментор докторске дисертације:

1. **Mousbah Elahresh.** An Improved On-Line Monitoring Technique for a Fault-Tolerant Computing Node, Електротехнички факултет, Универзитет у Београду (коменторство са проф. Јованом Ђорђевићем)
2. **Радловић Милан.** Предлог подршке за спекулативно извршавање нити у SMP процесорима, Електротехнички факултет, Универзитет у Београду
3. **Мишић Марко.** Унапређења система за детекцију плагијаризма, Електротехнички факултет, Универзитет у Београду (коменторство са проф. Јелицом Протић)
4. **Шуштран Живојин.** Побољшање перформанси асиметричних вишејезгарних процесора кроз миграцију трансакција и прилагођење подсистема кеш меморија. Електротехнички факултет, Универзитет у Београду, (коменторство са проф. Јелицом Протић)
5. **Дунђерски Дејан.** Систем за интелигентно откривање узрока проблема у релационим базама података у клауд окружењу, Електротехнички факултет, Универзитет у Београду
6. **Шуковић Горан.** Генерисање топологије неуронске мреже примјеном система Линденмајера и генетских алгоритама, Природно-математички факултет, Универзитет Црне Горе.
7. **Kepuska Krenar.** Penetration test approach in web applications as a proactive and defensive technology, Природно-математички факултет, Универзитет Црне Горе.

Двојица од ових докторанада изабрани су за доценте на Катедри за рачунарску технику и информатику (др Марко Мишић, 2017. године и др Живојин Шуштран, 2022. године). Др Мако Мишић је изабран и у звање ванредног професора 2023. године,

Поред тога, био је ментор 9 магистарских радова, 32 мастер рада, 16 дипломских радова петогодишњих студија и 75 завршних радова четворогодишњих студија. Учествовао је у 12 комисија за одбрану докторских радова и 21 комисији за одбрану магистарских радова и великом броју комисија за одбрану мастер и дипломских радова на Електротехничком факултету у Београду. Такође, учествовао је у више од 30 комисија за докторске и магистарске радове на Факултету техничких наука у Новом Саду, на Природно-математичком факултету и Електротехничком факултету Универзитета Црне Горе у Подгорици, на *Universitat Politecnica de Catalunya* (UPC) у Барселони, на Факултету за рачунарство и информатику у Љубљани, Електронском факултету у Нишу, на Факултету техничких наука у Чачку и на Ваздухопловно-техничкој војној академији.

5.3 Педагошки рад:

5.3.1 Уџбеници

1. Tomašević M., *Algoritmi i strukture podataka*, (406 страна), Akademska misao, Beograd, 2008. ISBN: 978-86-7466-328-8

Ова књига се користи као уџбеник за комплетно градиво из предмета *Алгоритми и структуре података*, као и *Алгоритми и структуре података 1* и *Алгоритми и структуре података 2*. Она се користи као уџбеник и на неким другим универзитетима у Србији и у региону.

5.3.3 Наставни рад

На основним академским на Електротехничком факултету у Београду држао је предавања из великог броја предмета: *Програмирање 1, Програмирање 2, Алгоритми и структуре података 1, Алгоритми и структуре података 2, Мултипроцесорски системи, Програмски језици, Структуре података*. На мастер академским студијама држао је предмете *Мултипроцесорски системи и Теорија алгоритама*. На докторским студијама држао је предмете: *Принципи програмских језика, Мултипроцесорски системи, Формални језици и аутомати и Развој микропроцесорског софтвера*. Држао је предавања и на постдипломској настави која се за стране студенте изводила на енглеском језику на Електротехничком факултету и то на магистарским студијама из предмета *Computer programming* и на докторским студијама из предмета *Multiprocessor systems*. На Војно-техничкој академији КОВ-а, као и на Ваздухопловној војно-техничкој академији у Жаркову, држао је предмете *Рачунари у телекомуникацијама, Архитектура рачунара II, Програмски језици и методе програмирања и Структуре података*.

У периоду од преко две деценије дао је велики допринос развоју наставе рачунарске технике и информатике на универзитетима у региону јер је као гостујући професор предавао неколико рачунарских предмета на више сродних факултета. На Електротехничком факултету у Подгорици предавао је курс *Дигитални рачунари*, а на Природно-математичком факултету у Подгорици предавао је предмете *Организација рачунарских система, Програмски језици и Објектно-оријентисано програмирање*, као и на постдипломским студијама. Држао је наставу из *Програмских језика* и на Одсеку за рачунарску технику и информатику Универзитета "Никола Тесла" у Книну. На Техничком факултету у Чачку предавао је предмет *Програмски језици*. На Електротехничком факултету у Бањалуци предавао је предмет *Архитектура рачунара и Структуре података и алгоритми*. На Електротехничком факултету у Источном Сарајеву предавао је предмет *Алгоритми и структуре података*.

У целокупном стажу у настави на Електротехничком факултету, кандидат је добијао одличне оцене на студентским анкетама (око 4.5.), а скоро сви курсеви на основним студијама су извођени на нижим годинама и слушао је их велики број студената. Наставно оптерећење и у летњем и у зимском семестру увек је било знатно веће од просечног оптерећења на Електротехничком факултету. Кандидат је све своје обавезе у настави на Електротехничком факултету извршавао савесно, одговорно и квалитетно.

5.5. Одржавање научних скупова

5.5.5. Члан програмског одбора

1. Члан Програмског одбора и Научног одбора, као и координатор секције Софтерски алати и апликације међународне конференције *ТЕЛФОР*
2. Члан Програмског одбора међународне конференције *Инфотех*
3. Члан Програмског одбора међународне конференције *Информационе Технологије*
4. Члан Програмског одбора међународне конференције *Engineering of Computer Based Systems*

VI ОРГАНИЗАЦИЈА НАУЧНОГ РАДА

6.5 Руковођење научним институцијама

1. Декан Електротехничког факултета (од 2018. до 2021.)
2. В.д. декана Електротехничког факултета (од 10.11.2017. до 31.9.2018. и од 1.10.2021. до 30.12.2021.)
3. Продекан Електротехничког факултета за сарадњу са привредом (од 2015. до 2017.)
4. Шеф Катедре за Рачунарску технику и информатику (од 2012. до 2015.).
5. Заменик шефа Катедре за Рачунарску технику и информатику (од 2006. до 2012.).
6. Заменик шефа Одсека за Рачунарску технику и информатику.
7. Члан стручног Већа техничко-технолошких наука Универзитета у Београду (2015. до 2018.).
8. Члан Већа групације техничко-технолошких наука Универзитета у Београду (2017. -2024.).
9. Члан Сената Универзитета у Београду (2017. до 2021.).
10. Члан Скупштине Конференције универзитета Србије (2018. до 2021., 2024.-).
11. Члан Комисије Министарства просвете, науке и технолошког развоја за праћење активности на увођењу државне матуре.
12. Члан Савета Учитељског факултета Универзитета у Београду (2022. до 2024.).
13. Члан Наставне комисије Електротехничког факултета.
14. Члан Комисије за признавање страних високошколских исправа Електротехничког факултета
15. Члан Научног већа Института “Михајло Пупин”, Београд (1992.-1995.).
16. Члан Савета РЈ за Рачунарске системе Института “Михајло Пупин”, Београд.

6.6 Руковођење и активност у другим друштвима

1. Члан Скупштине Института “Михајло Пупин”, Београд (2015. -).
2. Члан Управног одбора Друштва за телекомуникације
3. Члан Председништа ЕТРАН-а

ЗАКЉУЧАК О ИСПУЊЕЊУ УСЛОВА И ПРЕДЛОГ ОДЛУКЕ

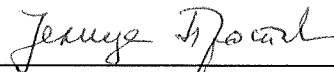
На основу свега поменутог може се закључити да проф. др Мило Томашевић испуњава све услове за доделу звања професор емеритус Универзитета у Београду. С обзиром на то да има 44 године радног стажа на Универзитету у Београду (29 година на Електротехничком факултету и 15 година у Институту “Михајло Пупин”), да је постигао значајне и разноврсне научне и стручне резултате, да је постигао међународну репутацију у области мултипроцесорских система, да је кроз шест менторстава докторских дисертација постигао значајне резултате у обезбеђивању наставно-научног подматка у области рачунарства, да је радио на више десетина домаћих и међународних пројеката и више њих водио, да испуњава услове за избор у звање редовног професора,

да има посебне заслуге за развој и напредак Факултета и Универзитета кроз обављање руководећих дужности на Електротехничком факултету и учешћа у више високих тела Универзитета у Београду, да је дао значајан допринос афирмацији Факултета и Универзитета кроз држање предавања по позиву на страним конференцијама, универзитетима и компанијама, учешћа у комисијама за одбрану доктората на иностраним универзитетима и кроз дводеценијски допринос настави рачунарства у земљама региона, као и да је увек доследно следио принципе професионалног и личног интегритета, констатујемо да кандидат задовољава све услове Закона о високом образовању и Правилника о условима и поступку додељивања звања и правима професора емеритуса Универзитета у Београду.

На основу свега изложеног у овом извештају, Стручна комисија са задовољством предлаже Сенату Универзитета у Београду да др Милу Томашевићу, редовном професору у пензији Електротехничког факултета Универзитета у Београду додели звање професора емеритуса Универзитета у Београду.

Београд, 07.04.2025. године

ЧЛАНОВИ КОМИСИЈЕ



др Јелица Протић, редовни професор
Универзитет у Београду – Електротехнички факултет



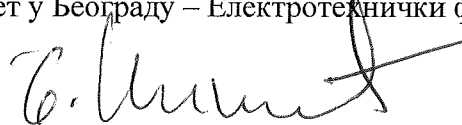
др Бранко Ковачевић, професор емеритус
Универзитет у Београду – Електротехнички факултет



др Предраг Иваниш, редовни професор
Универзитет у Београду – Електротехнички факултет



др Драган Милићев, редовни професор
Универзитет у Београду – Електротехнички факултет



др Бошко Николић, редовни професор
Универзитет у Београду – Електротехнички факултет



УНИВЕРЗИТЕТ У БЕОГРАДУ

Адреса: Студентски трг 1, 11000 Београд, Република Србија
Тел.: 011 3207400; Факс: 011 2638818; E-mail: kabinet@rect.bg.ac.rs

Београд, 21. март 2025. године
бр. 612-3927/5-24
ЈЋ

На основу члана 43 тачка 39 Статута Универзитета у Београду („Гласник Универзитета у Београду“, бр. 201/18, 207/19, 213/20, 214/20, 217/20, 230/21, 232/22, 233/22, 236/22, 241/22, 243/22, 244/23, 245/23, 247/23, 251/23, 258/24 и 260/25) и члана 6 Правилника о условима и поступку додељивања звања и правима професора *емеритуса* („Гласник Универзитета у Београду“, број: 206/18, 213/20 и 250/23) Сенат Универзитета у Београду, на седници одржаној 21. марта 2025. године, донео је

ОДЛУКУ

I

ОБРАЗУЈЕ СЕ Стручна комисија за припрему реферата са предлогом одлуке за доделу звања професор *емеритус* проф. др Милу Томашевићу, редовном професору Електротехничког факултета, у пензији, у саставу:

1. Др Јелица Протић, редовни професор, Електротехнички факултет;
2. Др Бранко Ковачевић, професор *емеритус*, Електротехнички факултет;
3. Др Предраг Иваниш, редовни професор, Електротехнички факултет;
4. Др Драган Милићев, редовни професор, Електротехнички факултет;
5. Др Бошко Николић, редовни професор, Електротехнички факултет

II

Задатак Стручне комисије је да припреми реферат са предлогом одлуке за доделу звања професор *емеритус* проф. др Милу Томашевићу, редовном професору Електротехничког факултета, у пензији, у року од 30 дана од дана именовања.

Реферат Стручна комисија доставља Сенату најкасније 40 дана од дана именовања.

III

Ову одлуку објавити у гласилу „Гласник Универзитета у Београду“.

